

(2)

(19) 日本国特許庁 (JP) (2) 特許公報 (B2) (1)特許番号

特許第3204986号  
(P2004986)

(45) 発行日 平成13年9月4日(2001.9.4)

(24) 登録日 平成13年6月29日(2001.6.29)

(21) 出願番号 特願19-542270

(66) (22) 出願日 平成8年6月28日(1996.6.28)

(65) 公表番号 特許2000-505241(P2000-505241)

(43) 公表日 平成2年4月25日(2000.4.25)

(89) 国際出願番号 PCT/US96/07730

(87) 国際公表番号 WO97/46827

(67) 国際公開日 平成9年12月4日(1997.12.4)

平成11年6月6日(1999.6.6)

審査請求日

平野憲史

代理人 佐々木 晴秀 (外5名)

監査官 吉崎 國子

登録記念章

(73) 特許持権者 8899999999

ザ・トラストイース オブ コロンビア  
ユニバーシティ イン ザ シティ  
オブ ニューヨーク

アメリカ合衆国 ニューヨーク州

10027-6599 ニューヨーク ブロード

ウェイ アンド ワンハンドレッドシック  
スクエアース ストリート (総合施  
設)

)

(74) 代理 人 8899999999

井理士 佐々木 晴秀 (外5名)

監査官 吉崎 國子

登録記念章

(75) 特許請求の範囲

(54) [発明の名称] 基板上の半導体領域の結晶化処理及びこの方法により製造されたデバイス

(55) [特許請求の範囲]

[請求項1] 支持された半導体材料の膜の横方向に延在する部分として多結晶領域を形成するに当たり、半導体材料中に熱を供給するバルス状の放熱を用いて、後側に位置する放熱遮断性の基板と、基板上の第1の半導体膜と、第1の半導体膜上の耐熱性の膜と、耐熱性の膜上の第2の半導体膜とを具える構造体の前部及び後側から同時に露光し、前記膜方向に延在する部分を含む半導体膜の膜方向に延在する領域の全ての半導体材料を溶融し、

同時に露光の後、前記領域の裏側から極方向に露固させることにより、多結晶の微細構造体を前記領域に形成する多結晶領域の形成方法。

[請求項2] [請求項1]に記載の方法において、前記膜

が平行な様部により端縁が規定されている方法。

[請求項3] [請求項2]に記載の方法において、前記基

板をガラス基板とした方法。

[請求項4] [請求項1]に記載の方法において、前記膜

向に延在する部分が前記第1の半導体膜にある方法。

[請求項5] [請求項1]に記載の方法において、前記膜

が平行な様部により端縁が規定され、前記第1の

部分の境界線の区域に少なくとも1個の半導体結晶を形

(56) [発明の名称] 基板上の半導体材料の膜に複数の放熱部を有する結晶領域の形成方法

(57) [特許請求の範囲]

[請求項1] 支持された半導体材料の膜の横方向に延在する部分として多結晶領域を形成するに当たり、

半導体材料中に熱を供給するバルス状の放熱を用いて、

後側に位置する放熱遮断性の基板と、基板上の第1の半

導体膜と、第1の半導体膜上の耐熱性の膜と、耐熱性の

膜上の第2の半導体膜とを具える構造体の前部及び後側

から同時に露光し、前記膜方向に延在する部分を含む半

導体膜の膜方向に延在する領域の全ての半導体材料を溶

融し、

同時に露光の後、前記領域の裏側から極方向に露固させ

ることにより、多結晶の微細構造体を前記領域に形成する

多結晶領域の形成方法。

[請求項9] [請求項1]に記載の方法において、前記膜

が平行な様部により端縁が規定されている方法。

3

[請求項10] [請求項1]に記載の方法において、前記領域がマスクパターンにより規定された形状を有する方法。

[請求項11] [請求項10]に記載の方法において、前記マスクパターンが複数される方法。

[請求項12] [請求項10]に記載の方法において、前記マスクパターンが近接マスクにより規定される方法。

[請求項13] [請求項10]に記載の方法において、前記マスクパターンが接触マスクにより規定される方法。

[請求項14] [請求項1]に記載の方法において、前記放熱がレーザ放熱により構成される方法。

[請求項15] [請求項1]に記載の方法において、前記領域がカバセル化されている方法。

[請求項16] 支持基板上の請求項1に記載の方法により処理された半導体膜。

[請求項17] 支持基板上の、請求項1に記載の方法により処理された半導体膜で構成される複数の半導体デバイス。

[請求項18] 支持基板上の、少なくともアクリチヂウムアルミニウムが請求項1に記載の方法により処理され、少くともアルミニウムトランジスタを有する集積回路。

[請求項19] 少なくともアクリチヂウムアルミニウムが請求項1に記載の方法により処理されている複数の回路コントローラ構成トランジスタを具える液晶表示装置。

[請求項20] 少なくともアクリチヂウムアルミニウムが請求項1に記載の方法により処理された半導体膜で構成するに当たり、半導体膜の表面に熱を誘導するバルス状の放熱を用い、前述半導体材料中に熱を誘導するバルス状の放熱回路を有する液晶トランジスタを具える画面ドライバ構成トランジスタを有するに当たり、

[請求項21] 基板上の半導体材料の膜に横方向に延在する結晶領域を形成するに当たり、

半導体材料中の熱を誘導するバルス状の放熱を用い、前述半導体材料の一部部分を露出して露出させ、

当該部分の溶解した半導体材料を凝固させ、前記部分を、第1のサブ部分と、この第1のサブ部分と逆対する第2のサブ部分と、第2のサブ部分と逆対する第3のサブ部分とを含むような構造とし、

前記第1のサブ部分が、その境界部で半導体結晶に凝固する形態を有し、

前記第2のサブ部分が、1箇所の凝固した結晶品が前記第1のサブ部分から第2のサブ部分を経て第3のサブ部分に成長する形態を有し、

前記第3のサブ部分が、1箇の結晶が全体として前記第3のサブ部分を包める形態を有する結晶領域の形成方法。

[請求項3] [請求項2]に記載の方法において、前記基板が前記領域に形成する複数の放熱部を有する結晶領域の形成方法において、前記基板を水晶基板とした方法。

[請求項4] [請求項1]に記載の方法において、前記膜の全體がシリコンで構成される方法。

[請求項5] [請求項1]に記載の方法において、前記膜がガラス基板とし、前記膜の裏側から極方向に露固せ

ることにより、多結晶の微細構造体を前記領域に形成する

多結晶領域の形成方法。

[請求項9] [請求項1]に記載の方法において、前記膜が平行な様部により端縁が規定されている方法。

[請求項10] [請求項2]に記載の方法において、前記半導体領域がシリコンで構成される方法。

[請求項11] [請求項1]の部分の半導体が凝固させ、前記第1の部分の境界線の区域に少なくとも1箇の半導体結晶を形

(10) (1) [請求項10] 前記領域がシリコンで構成される方法。

[請求項11] 前記領域がシリコンで構成される方法。

[請求項12] 前記領域がシリコンで構成される方法。

[請求項13] 前記領域がシリコンで構成される方法。

[請求項14] 前記領域がシリコンで構成される方法。

[請求項15] 前記領域がシリコンで構成される方法。

(2) [請求項16] 前記領域がシリコンで構成される方法。

(3) [請求項17] 前記領域がシリコンで構成される方法。

(4) [請求項18] 前記領域がシリコンで構成される方法。

(5) [請求項19] 前記領域がシリコンで構成される方法。

(6) [請求項20] 前記領域がシリコンで構成される方法。

(7) [請求項21] 前記領域がシリコンで構成される方法。

(8) [請求項22] 前記領域がシリコンで構成される方法。

(9) [請求項23] 前記領域がシリコンで構成される方法。

(10) [請求項24] 前記領域がシリコンで構成される方法。

(11) [請求項25] 前記領域がシリコンで構成される方法。

(12) [請求項26] 前記領域がシリコンで構成される方法。

(13) [請求項27] 前記領域がシリコンで構成される方法。

(14) [請求項28] 前記領域がシリコンで構成される方法。

(15) [請求項29] 前記領域がシリコンで構成される方法。

(16) [請求項30] 前記領域がシリコンで構成される方法。

(17) [請求項31] 前記領域がシリコンで構成される方法。

(18) [請求項32] 前記領域がシリコンで構成される方法。

(19) [請求項33] 前記領域がシリコンで構成される方法。

(20) [請求項34] 前記領域がシリコンで構成される方法。

(21) [請求項35] 前記領域がシリコンで構成される方法。

(22) [請求項36] 前記領域がシリコンで構成される方法。

(23) [請求項37] 前記領域がシリコンで構成される方法。

(24) [請求項38] 支持基板上の、少なくともアクリチヂウムアルミニウム領域が前記領域に記載の方法により処理されて、

その導体トランジスタを有する集積回路。

(25) [請求項39] 少なくともアクリチヂウムアルミニウム領域が前記領域に記載の方法により処理され、少くともアクリチヂウムアルミニウムトランジスタを有する半導体膜。

(26) [請求項40] 少なくともアクリチヂウムアルミニウム領域が前記領域に記載の方法により処理され、少くともアクリチヂウムアルミニウムトランジスタを有する半導体膜。

(27) [請求項41] 基板上の半導体材料の膜に横方向に延在する結晶領域を有する形態を有する。

(28) [請求項42] 前記領域が前記領域に記載の方法により処理された半導体膜。

(29) [請求項43] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(30) [請求項44] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(31) [請求項45] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(32) [請求項46] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(33) [請求項47] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(34) [請求項48] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(35) [請求項49] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(36) [請求項50] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(37) [請求項51] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(38) [請求項52] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(39) [請求項53] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(40) [請求項54] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(41) [請求項55] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(42) [請求項56] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(43) [請求項57] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(44) [請求項58] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(45) [請求項59] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(46) [請求項60] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(47) [請求項61] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(48) [請求項62] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(49) [請求項63] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(50) [請求項64] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(51) [請求項65] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(52) [請求項66] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(53) [請求項67] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(54) [請求項68] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(55) [請求項69] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(56) [請求項70] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(57) [請求項71] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(58) [請求項72] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(59) [請求項73] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(60) [請求項74] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(61) [請求項75] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(62) [請求項76] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(63) [請求項77] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(64) [請求項78] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(65) [請求項79] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(66) [請求項80] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(67) [請求項81] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(68) [請求項82] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(69) [請求項83] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(70) [請求項84] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(71) [請求項85] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(72) [請求項86] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(73) [請求項87] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(74) [請求項88] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(75) [請求項89] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(76) [請求項90] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(77) [請求項91] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(78) [請求項92] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(79) [請求項93] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(80) [請求項94] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(81) [請求項95] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(82) [請求項96] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(83) [請求項97] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(84) [請求項98] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(85) [請求項99] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(86) [請求項100] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(87) [請求項101] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(88) [請求項102] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(89) [請求項103] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(90) [請求項104] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(91) [請求項105] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(92) [請求項106] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(93) [請求項107] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(94) [請求項108] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(95) [請求項109] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(96) [請求項110] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(97) [請求項111] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。

(98) [請求項112] 前記領域が前記領域に記載の方法により処理された半導体膜で構成される場合。





(7)

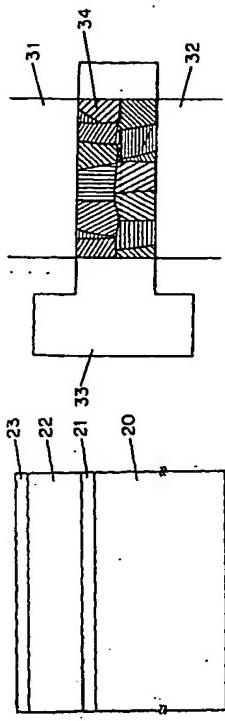
J3 部分的に被覆する間に他の方の結晶の列が完全に成長するようになり、部分的に被覆する間に他の方の結晶の列が完全に成長する。半導体面に接着し、部分的に被覆している結晶の列は、する。9F1表示するように、一層、最もくなる。この過程において、露出される部分を残り、シートストラストすることにより、所置の長さの単一結晶粒子を成長させることができる。

露光された領域のバーナーが單一軸でなく、図10Aの状態で規定されるように山形形状の10である場合、図10B～10Fに示す露光領域を同一の順序でシフトすることにより、シフトされた山形バーナーの頂部の頂部から粒子の成長が拡大する。このようにして、単一結晶の領域を幅及び長さを増大しながら成長させることができ。大面積の単一結晶領域は、図11Aに図示され、ディル刻印111、側面ポルヌック領域112及び主アインランド側面113を有するバーナー（ステップ状）にした露光領域を形成することにより成長させることができる。図11A～11Cの領域111、112及び113の断面は、放熱遮アモルファス領域56及び第2の二段階シリコン層55が存在しないことを除いて図5に示すものと同様である。マスクされた露光又は近接マスクにより規定された露光領域は図11A～11Cの成膜により境界された領域により図示されており、この図11はディル刻印111からボトルネック領域112を経て単一粒子を成長させて単一結晶のアインランド領域113を形成するための露光領域の順次方向シート（ステッピング）を示す。

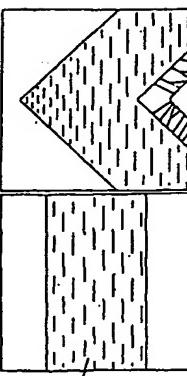
図9A～9F、図10A～10F及び図11A～11Cの実際例の順次成長方向順及び開発面は、水晶基板上にコートされ膜厚が100～240nmの二段階シリコン上に化学気相堆積(CVD)により堆積したアモルファス膜について行つ。別に用途して、イメージセンサ、ステックランダムアクセスメモリ(SRAM)、シリコンオイルインジケータ(SOI)デバイス、及び三次元堆積回路デバイスが含まれる。

(8)

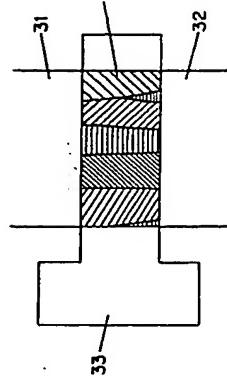
[第2図]



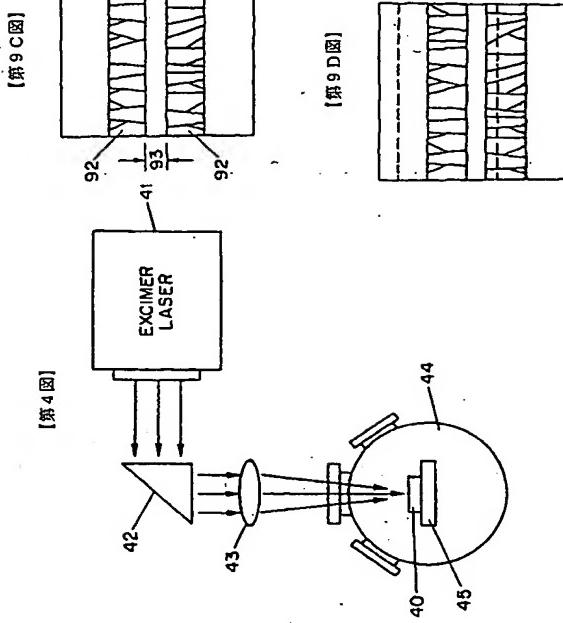
[第3A図]



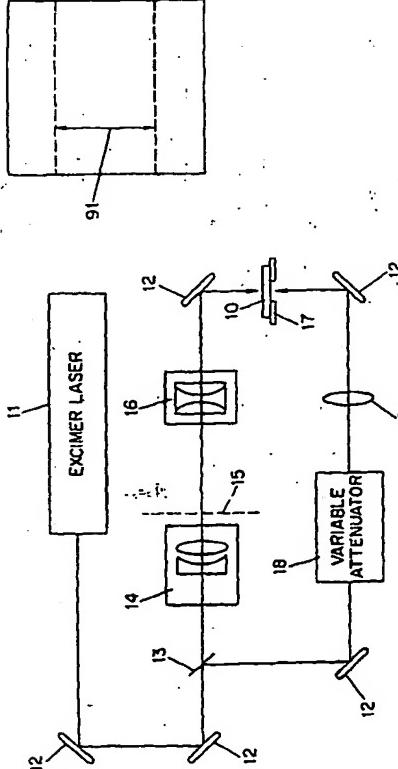
[第3B図]



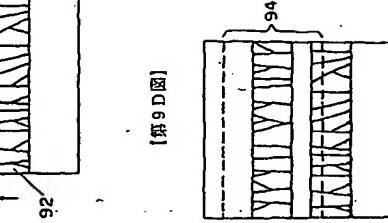
[第4図]



[第5C図]



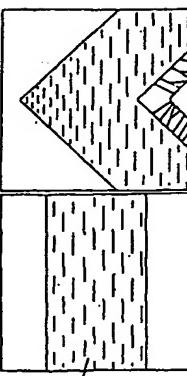
[第5D図]



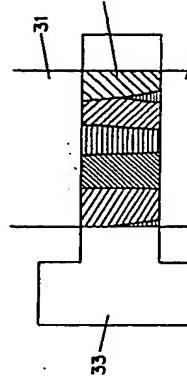
[第5E図]

[第5F図]

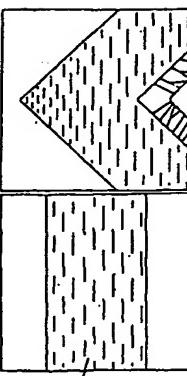
[第6A図]



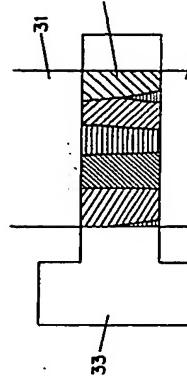
[第6B図]



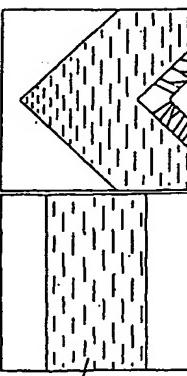
[第7A図]



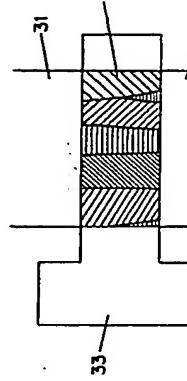
[第7B図]



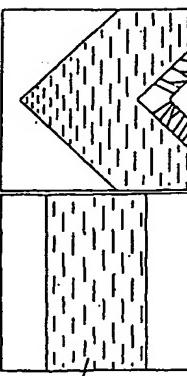
[第8A図]



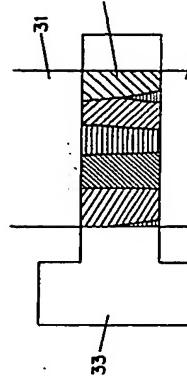
[第8B図]



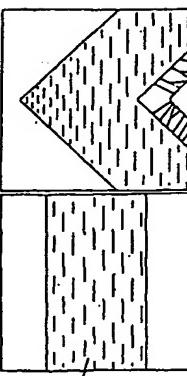
[第9A図]



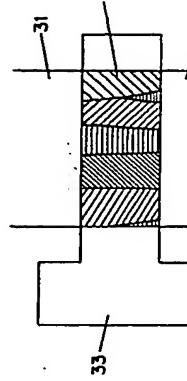
[第9B図]

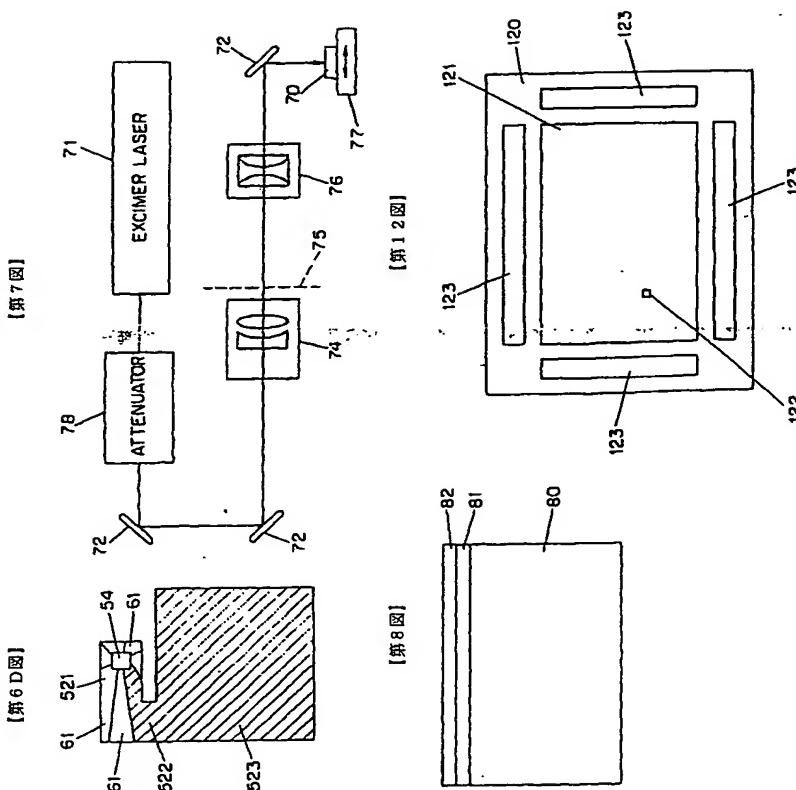
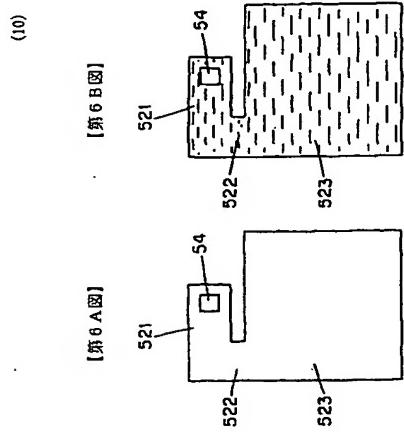
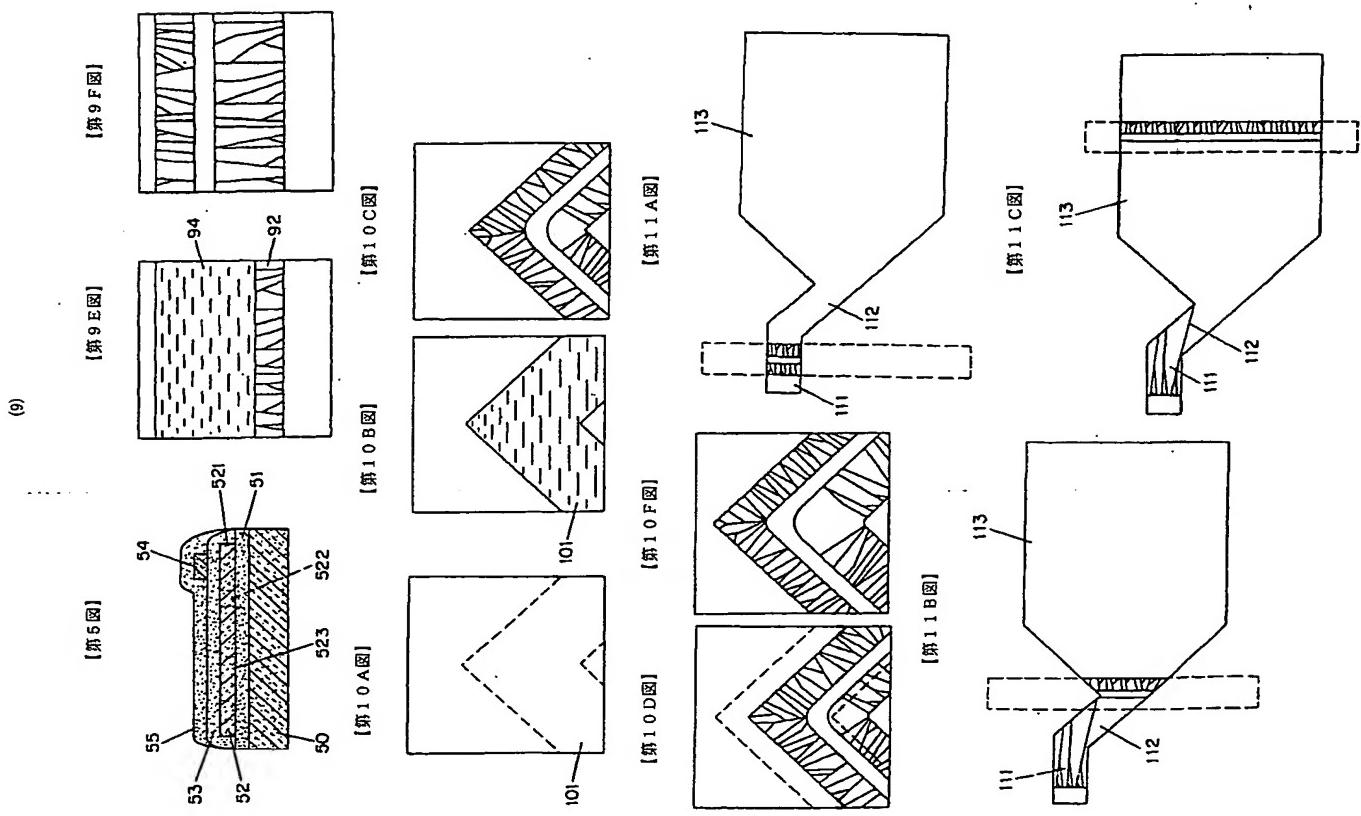


[第9C図]



[第9D図]





(11)

フロントページの様式

(72)発明者 イム ジェイムス エス  
アメリカ合衆国 ニューヨーク州  
10027-6699 ニューヨーク ダブリュ  
ー ワンハンドレッド フィーティーン  
ストリート520 アパートメント  
ナンバー 74

(65)参考文献 平2-283036 (JP, A)  
特開 平6-252048 (JP, A)

(66)調査した分野(Int.Cl.7, DB名)  
H01L 21/20